



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **63293941 A**(43) Date of publication of application: **30 . 11 . 88**

(51) Int. Cl

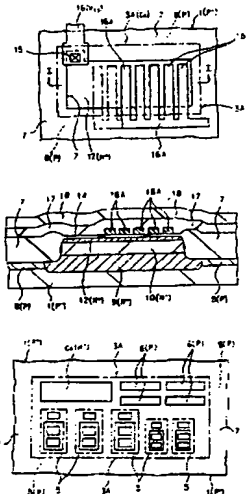
H01L 21/82**H01L 27/04**(21) Application number: **62128251**(22) Date of filing: **27 . 05 . 87**(71) Applicant: **HITACHI LTD**(72) Inventor:
SATO YASUO
KOBAYASHI TORU
KAKIGI NOBUHIKO
NAKAGAMI SHUICHI**(54) SEMICONDUCTOR INTEGRATED CIRCUIT
DEVICE****(57) Abstract:**

PURPOSE: To avoid clock skew, and increase the speed, by providing a specific clock signal line with a capacitance element.

CONSTITUTION: For a logic integrated circuit, a capacitance element Ca is arranged in a basic cell, and clock skew is reduced by the capacitance element Ca. For a gate array, the capacitance element Ca is arranged in, e.g., all basic cells 3A. This capacitance element Ca is connected with clock signal lines of the respective clock drivers driving a load capacitance smaller than the maximum load capacitance, among a plurality of clock drivers connected with the same terminal. The capacitance element Ca is constituted of, e.g., an N⁺ semiconductor region formed by the same working process as the emitter region 12 of a transistor 5, a thin silicon oxide film 14, and a first layer aluminum film 16 formed thereon. Thereby, the difference between load capacitances of clock drivers is made nearly zero, so that the clock skew can be avoided, and the high

speed operation is enabled.

COPYRIGHT: (C)1988,JPO&Japio



⑫ 公開特許公報(A)

昭63-293941

⑬ Int. Cl.

識別記号

庁内整理番号

⑭ 公開 昭和63年(1988)11月30日

H 01 L 21/82
27/048526-5F
C-7514-5F

審査請求 未請求 発明の数 1 (全9頁)

⑮ 発明の名称 半導体集積回路装置

⑯ 特 願 昭62-128251

⑰ 出 願 昭62(1987)5月27日

⑱ 発 明 者 佐 藤 康 夫 東京都青梅市今井2326番地 株式会社日立製作所デバイス
開発センタ内

⑲ 発 明 者 小 林 徹 東京都青梅市今井2326番地 株式会社日立製作所デバイス
開発センタ内

⑳ 発 明 者 垣 木 信 彦 東京都青梅市今井2326番地 株式会社日立製作所デバイス
開発センタ内

㉑ 発 明 者 中 上 修 一 東京都青梅市今井2326番地 株式会社日立製作所デバイス
開発センタ内

㉒ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉓ 代 理 人 弁理士 小川 勝男 外1名

明 細 書

1. 発明の名称

半導体集積回路装置

2. 特許請求の範囲

1. 複数の半導体素子を有する基本セルを縦り換えし配置して基本セル列を構成し、前記基本セル内又は隣接した複数のセル内の半導体素子間を接続して第1の回路を構成し、前記それぞれの第1の回路の間を接続してさらに大きな第2の回路を構成する半導体集積回路装置であって、前記第1の回路から延在する所定の信号線に容量素子を設けたことを特徴とする半導体集積回路装置。
2. 前記半導体集積回路装置は、ゲートアレイ又はスタンダードセル方式等のセミカスタム集積回路であることを特徴とする特許請求の範囲第1項記載の半導体集積回路装置。
3. 前記容量素子が設けられる所定の信号線は、クロックドライバから延びるクロック信号線であることを特徴とする特許請求の範囲第1項記

載の半導体集積回路装置。

4. 前記容量素子は、ゲートアレイにおいては未使用の基本セル内の半導体素子を用いて構成し、スタンダードセル方式においては選択された基本セル領域のほぼ全域に容量素子を構成したものであることを特徴とする特許請求の範囲第1項記載の半導体集積回路装置。
5. 前記容量素子は、回路間を接続しない配線を基板上に設け、これを前記クロック信号線に接続し、その配線の浮遊容量で構成していることを特徴とする特許請求の範囲第1項記載の半導体集積回路装置。
6. 前記容量素子としての配線は、それ専用の配線チャンネルに設けられることを特徴とする特許請求の範囲第1項又は第5項記載の半導体集積回路装置。
7. 前記容量素子としての配線は、信号配線が延在される配線チャンネルに設けられることを特徴とする特許請求の範囲第1項又は第5項記載の半導体集積回路装置。

8. 前記容量素子は、セル領域内に他の半導体素子とともに設けられることを特徴とする特許請求の範囲第1項記載の半導体集積回路装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、論理を構成する半導体集積回路装置に関し、特にゲートアレイやスタンダードセル方式等のセミカスタム論理集積回路装置に適用して有効なものである。

〔従来技術〕

ゲートアレイやスタンダードセル方式の論理集積回路装置では、論理領域に種々のレジスタやカウンタが構成される。これらのレジスタやカウンタを構成するフリップフロップ(F/F)回路は、クロック信号に同期して動作するようになっている。このクロック信号は、負荷容量による減衰及び遅延を少なくするため、チップ上に幾つかクロックドライバを設け、それぞれのクロックドライバを通してそれぞれのフリップフロップ回路に供給するようにしている。ところが、クロック信号の

入力端子から各クロックドライバまでの配線長および各クロックドライバからそれぞれのフリップフロップ回路までの配線長が異なり、また各クロックドライバのファンアウト数もまちまちである。このため、各フリップフロップ回路に供給されるクロック信号に時間のずれ(クロックスキュー)を生じる。そこで、配線長の短いクロック信号線を迂回させることにより、クロックスキューを低減させた技術が、情報処理学会研究報告、1986、Vol. 86、NO 70「大型高密度基板用ラウターシステム」に記載されている。

〔発明が解決しようとする問題点〕

本発明者は、前記配線長の短いクロック信号線を迂回させることにより、クロックスキューを低減させる方法では、配線レイアウトの変更、配線密度の超過等から大幅に迂回させることが困難であり、したがってクロックスキューの低減率が小さいことを見出した。

本発明の目的は、クロックスキューの低減を計り、高速化を計ることにある。

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかになるであろう。

〔問題点を解決するための手段〕

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。

すなわち、回路から延在する所定のクロック信号線に容量素子を設けるものである。

〔作用〕

上述した手段によれば、配線長の違いやファンアウト数の違いによる各クロックドライバの間の負荷容量の差がなくなるので、クロックスキューをなくすことができ、高速化を計ることができる。

〔発明の実施例1〕

以下、本発明の実施例1を図面を用いて説明する。

第1図は、スタンダードセル方式のセミカスタム集積回路の平面図である。

第1図において、1はP単結晶シリコンからな

る基板であり、その周辺に例えば第1層目と第2層目のアルミニウム膜を積層して構成したボンディングパッドPadが複数配置してある。また、ボンディングパッドPadの内側には、例えばバイポーラトランジスタや抵抗素子等で構成した入力バッファ回路2又は出力バッファ回路2が設けてある(以下、単に、バッファ回路2という)。バッファ回路2で囲まれている領域が、種々の論理回路、レジスタ、カウンタ、ドライバ等が構成される内部論理領域である。3が前記内部論理領域に配置された基本セル列であり、複数の基本セル3Aからなっている。基本セル列3と基本セル列3の間や基本セル列3の周囲は、配線チャネル4となっている。

ここで、第2図に1つの基本セル3A内に設けられる素子のレイアウトの一例を示し、第3図に基本セル3A内に設けられているバイポーラトランジスタの断面構造の一例を示す。

第2図に示すように、1つの基本セル3Aは、例えば、バイポーラトランジスタ5を5個、抵抗

素子6を4個設けて構成している。バイポーラトランジスタ5は、第3図に示すように、N⁺埋込み層9、N⁺コレクタ領域10、P型ベース領域11、N⁺エミッタ領域12、N⁺引き出し領域13とで構成されている。7はエピタキシャル層すなわち単結晶シリコン層を熱酸化して形成した酸化シリコン膜からなるフィールド絶縁膜であり、その下部にはP型チャネルストップ領域8を形成している。フィールド絶縁膜7から露出している基板1の表面は、熱酸化による薄い酸化シリコン膜14が覆っている。ベース領域11、エミッタ領域12、引き出し領域13のそれぞれには、酸化シリコン膜14を除去してなる開口15を通して第1層目のアルミニウム膜からなる電極16が接続している。電極16の上は、例えばCVDによる酸化シリコン膜の上にリンシリケートガラス(PSG)膜を積層して構成した第1層目の層間絶縁膜17が覆っている。この層間絶縁膜17の上には図示していないが、第2層目のアルミニウム膜からなる配線が延在している。この第2層目のアルミニウム膜からなる配線の上は、例

えばCVDによる酸化シリコン膜の上に塗布ガラス(SOG)膜を積層し、さらにその上にPSG膜を積層して構成した第2層目の層間絶縁膜18が設けられている。第2図に示されている抵抗素子6は、例えばバイポーラトランジスタのベース領域11と同一工程で形成されるP型半導体領域からなっている。

次に、第4図に本実施例の基本セル3A間の接続例を示す。

第4図は、本発明の実施例1の集積回路の一部を模式的に示した平面図である。

本実施例では、幾つかの基本セル3Aの領域を使って容量素子Caを構成している。なお、第4図では、容量素子Caを1個示している。D₁、D₂はクロックドライバであり、F/Fはフリップフロップ回路である。これらのクロックドライバD₁、D₂、フリップフロップ回路F/Fは、第4図ではそれぞれが1つの基本セル3Aに構成されているが、1つの基本セル3A内のトランジスタ5や抵抗素子6を使って構成してもよく、近隣

の複数の基本セル3A内のトランジスタ5や抵抗素子6で構成してもよい。基本セル3A内のトランジスタ5や抵抗素子6間は、第1層目のアルミニウム膜からなる配線16を用い、例えば配線チャネル4を基本セル列3と同一方向に延在する配線23には、第2層目のアルミニウム膜を用い、基本セル列3と交差する方向に延在する配線24には、例えば第3層目のアルミニウム膜を用いている。なお、第4図及び後の説明で用いる第8図、第9図、第10図において、一本の実線で示されている配線23、24はクロック信号を供給するクロック信号線である。22は電源回路であり、21は電源回路22の間を接続する配線が設けられる電源配線チャネルである。なお、これら電源配線チャネル21、電源回路22は第1図には図示していない。

クロックドライバD₁とクロックドライバD₂は同一の端子INつまり例えば前段のクロックドライバDの出力端に接続されているが、クロックドライバD₁には5個のフリップフロップF/Fが接続され、クロックドライバD₂には3個のフリ

ップフロップF/Fが接続されており、ファンアウト数が異っている。この同一の端子INに接続されたクロックドライバD₁とD₂のファンアウト数の違いによるクロックスキューをなくすため、クロックドライバD₂に容量素子Caを接続している。容量素子Caは、本実施例のようなスタンダードセル方式の半導体集積回路装置においては、例えば1つの基本セル3Aの領域に例えばトランジスタ5の製造工程の一部を使って形成される。基本セル3Aにバイポーラトランジスタを用いたゲートアレイでは、そのバイポーラトランジスタのエミッタ領域12とベース領域11の間の接合容量、あるいはベース領域11とコレクタ領域10の間の接合容量を用いて構成する。基本セル3AにMISFETを用いたゲートアレイでは、そのMISFETのゲート電極の容量を用いるようにする。

次に、前記容量素子Caの構造の一例を説明する。

第5図は、前記容量素子の平面図、

第6図は、第5図のI-I切断線における断面

図である。なお、第5図は、フィールド絶縁膜7以外の絶縁膜を図示していない。

容量素子 C_a は、例えばエミッタ領域12と同一工程で形成した N^+ 半導体領域12、この上の薄い酸化シリコン膜14、この上の第1層目のアルミニウム膜16Aとで構成している。容量素子 C_a がバイポーラトランジスタと同一工程で形成したものであるため、 N^+ 半導体領域12の下には N^+ 半導体領域(エピタキシャル層)10、 N^+ 埋込み層9が設けられている。アルミニウム膜16Aは、酸化シリコン膜14の上に順次延在するパターンで設けられ、この N^+ 半導体領域12上のアルミニウム膜16Aの端部をフィールド絶縁膜7上で一体化し、これを図示していない第2層目あるいは第3層目のアルミニウム配線を通してクロック信号配線に接続するようにしている。酸化シリコン膜14上におけるそれぞれのアルミニウム膜16Aは、同程度の幅にされ、所定間隔ごとに繰り返して設けられる。 N^+ 半導体領域12には、例えば第1層目のアルミニウム配線16、図示していない第2層目あるいは第3

層目のアルミニウム膜からなる配線を通して例えば接地電位 V_{ss} 例えば0Vを印加するようにしている。

ここで、同一の端子INに接続されたクロックドライバD(第4図では D_1)が駆動する負荷容量の内での最大のを C_{max} とし、それ以外のクロックドライバDのうちの1つのクロックドライバD(第4図では D_1)の負荷容量を C_L とすると、この負荷容量 C_L は、 $C_{max} - C_L$ だけ最大のものより少ない。この少ない負荷容量分を容量素子 C_a で構成し、前記負荷容量 C_L を駆動するクロックドライバDに接続するようにする。他の負荷容量 C_L を駆動するクロックドライバDについても同様に、最大負荷容量 C_{max} と負荷容量 C_L の差分の容量値を有するように容量素子 C_a を構成し、それぞれの容量素子 C_a を、それぞれの負荷容量 C_L を駆動するクロックドライバDに接続するようにする。酸化シリコン膜14上における1本のアルミニウム膜16Aによって得られる容量を C_0 とし、酸化シリコン膜14上のアルミニウム膜16Aの

本数を K とすると、容量素子 C_a の容量値は $K \cdot C_0$ となる。酸化シリコン膜14上に設けるべきアルミニウム膜16Aの本数は、 $(C_{max} - C_L) / C_0$ で得られる。この容量素子 C_a は、クロック信号の入力ピン(ボンディングパッドPad)からフリップフロップ回路F/Fまでの間に幾つか設けられるクロックドライバDのうち、最終段すなわち最上ともフリップフロップ回路F/Fに近いクロックドライバDに接続するようにする。これは、配線容量によるクロックスキューよりクロックドライバDのファンアウト数の違いによるクロックスキューの方が大きいからである。

なお、酸化シリコン膜14上のアルミニウム膜16Aは、第5図に示したように、複数本の配線状のものとして、板状に酸化シリコン膜14上を覆うようにしてもよい。

以上、説明したように、本実施例によれば、同一の端子に接続される複数のクロックドライバにおいて、クロックドライバが駆動する最大の負荷容量と、この負荷容量より小さくまた前記と異なる

クロックドライバで駆動されるそれぞれの負荷容量との差分の容量値を有する容量素子 C_a を構成し、このそれぞれの容量素子 C_a を前記最大の負荷容量より小さい負荷容量を駆動するそれぞれのクロックドライバに接続することにより、それぞれのクロックドライバD間の負荷容量の差がほぼなくなるので、クロックスキューをなくし、高速化を計ることができる。

(本発明の実施例II)

第7図は、本発明の実施例IIにおける1つの基本セル3Aの平面図である。

本発明の実施例IIは、スタンダードセル方式の論理集積回路では、選択された基本セル3内に容量素子 C_a を設け、この容量素子 C_a によってクロックスキューの低減を計るようにし、ゲートアレイでは例えば全ての基本セル3Aに容量素子 C_a を設けるようにしたものである。この容量素子 C_a を、同一の端子に接続された複数のクロックドライバDのうち、最大の負荷容量より少ない負荷容量を駆動するそれぞれのクロックドライバ

のクロック信号線に接続する。

容量素子C_aは、第5図及び第6図に示したものを縮小して基本セル3A内に配置したものである。したがって、例えばトランジスタ5のエミッタ領域12と同一工程で形成されるN⁺半導体領域12、薄い酸化シリコン膜14、この上に設けられる第1層目のアルミニウム膜16とで構成される。

以上、説明したように、本実施例IIによっても、実施例Iと同様に、同一の端子に接続される複数のクロックドライバにおいて、クロックドライバが駆動する最大の負荷容量と、その負荷容量より小さくまた前記と異なるクロックドライバで駆動される負荷容量との差を容量素子C_aで構成し、それぞれの容量素子C_aを前記最大の負荷容量より小さい負荷容量を駆動するそれぞれのクロックドライバに接続することにより、クロックドライバの負荷容量の差がほぼなくなるので、クロックスキューをなくし、高速化を計ることができる。
〔本発明の実施例III〕

第8図は、本発明の実施例IIIにおける集積回路

部分を第2層目のアルミニウム配線23Aと、第3層目のアルミニウム配線24Aの浮遊容量で補っている。ここで、配線23A、24Aの一端の丸印(O)は、第9図に示したように、基本セル3A上まで配線されるものの、その内のトランジスタ5や抵抗素子6に接続されないことを意味している。また、配線23A、24Aのそれぞれは、正規の信号配線、電源配線等の配線レイアウトが終った後に、各クロックドライバDの負荷容量を計算し、この後その負荷容量の不足分を補うように、通常の信号配線23、24と同様の設計手法でレイアウトされる。したがって、配線チャンネル4上あるいは絶縁膜17上のまだ配線が施されていない領域に設けられる。なお、配線23Aは、通常の信号配線23、24と同様に、必ず基本セル3Aまで延在されるものではなく、配線24Aとの接続点(●)までで止めることも可能である。

以上、説明したように、配線23A、24Aを設け、これの浮遊容量で容量素子を構成し、これを同一の端子に接続される複数のクロックドライバのう

の一部を模式的に示した平面図であり、

第9図は、第8図の配線24Aの端部の丸印(O)付近の拡大図である。

本発明の実施例IIIは、ファンアウト数あるいは配線長の違いによる負荷容量の差をなくすために、一端が開放すなわち回路に接続されないアルミニウム配線23A、24Aを設け、これの浮遊容量で容量素子を構成し、これを同一の端子に接続される複数のクロックドライバのうち、最大の負荷容量より小さい負荷容量を駆動するクロックドライバDに接続して、クロックスキューをなくしたものである。

第8図において、入力端子INは、図示していない他の複数のクロックドライバDとともに、最終段より1段前のクロックドライバDの出力端子に接続している。図示したクロックドライバDは、前段の同じクロックドライバDに接続される複数のクロックドライバDにおいて、最大の負荷容量を駆動するものではなく、それより小さい負荷容量を駆動している。最大の負荷容量より少ない容

ち、最大の負荷容量より小さい負荷容量を駆動するクロックドライバDに接続することにより、各クロックドライバDの負荷容量の差をなくすることができるので、クロックスキューをなくすることができる。

また、配線23A、24Aが、通常の信号配線23、24と同様の設計手法でレイアウトされるので、配置を容易に行うことができる。

〔発明の実施例IV〕

第10図は、本発明の実施例IVにおける集積回路の一部を模式的に示した平面図である。

実施例IVは、前記実施例IIIのクロックスキューをなくすために設けた配線23A、24Aを電源回路22の配線チャンネル21に設けるようにしたものである。

第10図において、入力端子IN₁と、IN₂は、図示していないが、同一の端子すなわち例えば同じ前段のクロックドライバDに接続している。ところが、クロックドライバDの負荷は、2個のフリップフロップ回路F/Fと1個のクロックド

ライバD、であり、クロックドライバD₁の負荷は、4個のフリップフロップ回路F/Fと1個のクロックドライバD₂である。これに伴って負荷容量も異なるので、クロックドライバD₁に第2層目のアルミニウム配線23Aと第3層目のアルミニウム配線24Aを接続して、クロックドライバD₁との間のクロックスキューをなくすようにしている。配線24Aは電源配線チャンネル21に設けられている。この配線24Aは、電源回路22の間を接続する配線24のレイアウト設計が済んだ後に、電源配線チャンネル21の空いている領域にレイアウト設計を行うようにしている。配線24Aの長さは、適宜に定められるものであり、その両端を配線チャンネル21上のどこで終端させるかは任意である。すなわち、配線レイアウトの自由度が高く、設計が行い易くなっている。配線23Aは、配線24AをクロックドライバD₁に接続するための配線であり、配線チャンネル4の空いている領域に設けられる。すなわち、配線23Aは、配線チャンネル4に専用のトラックを設けているものではない。なお、配線23A、

24Aは、配線チャンネル4又は基板1上にそれらを配置するための専用の配線チャンネル(トラック)を設けるようにしてもよい。

クロックドライバD₁とD₂においても同様に、それらの間のクロックスキューをなくすために、クロックドライバD₁に第2層目のアルミニウム配線23Aと第3層目のアルミニウム配線24Aを接続している。

以上、説明したように、本実施例によれば、配線23A、24Aを設け、これの浮遊容量で容量素子を構成し、これを同一の端子に接続される複数のクロックドライバのうち、最大の負荷容量より小さい負荷容量を駆動するそれぞれのクロックドライバDに接続することにより、各クロックドライバDの負荷容量の差をなくすることができるので、クロックスキューをなくすることができる。

また、配線24Aの端部を終端する位置を規定せずに、配線チャンネル21上の任意の点で終端させるようにしているので、配線レイアウトの自由度が高く、容量素子としての浮遊容量の設計が行い易

くなっている。

以上、本発明を実施例にもとづき具体的に説明したが、本発明は、前記実施例に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

(発明の効果)

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

すなわち、所定のクロック信号線に容量素子を設けたことにより、配線長の違いやファンアウト数の違いによる各クロックドライバの間の負荷容量の差がなくなるので、クロックスキューをなくすことができ、高速化を計ることができる。

4. 図面の簡単な説明

第1図は、スタンダードセル方式のセミカスタム集積回路の平面図。

第2図は、1つの基本セル3A内に設けられる素子のレイアウトの一例を示した平面図。

第3図は、基本セル3A内に設けられているパ

イポーラトランジスタの断面構造を示した断面図。

第4図は、本発明の実施例Iの集積回路の一部を模式的に示した平面図。

第5図は、前記容量素子の平面図。

第6図は、第5図のI-I切断線における断面図。

第7図は、本発明の実施例IIにおける1つの基本セル3Aの平面図。

第8図は、本発明の実施例IIIにおける集積回路の一部を模式的に示した平面図。

第9図は、第8図の配線24Aの端部の丸印(O)付近の拡大図。

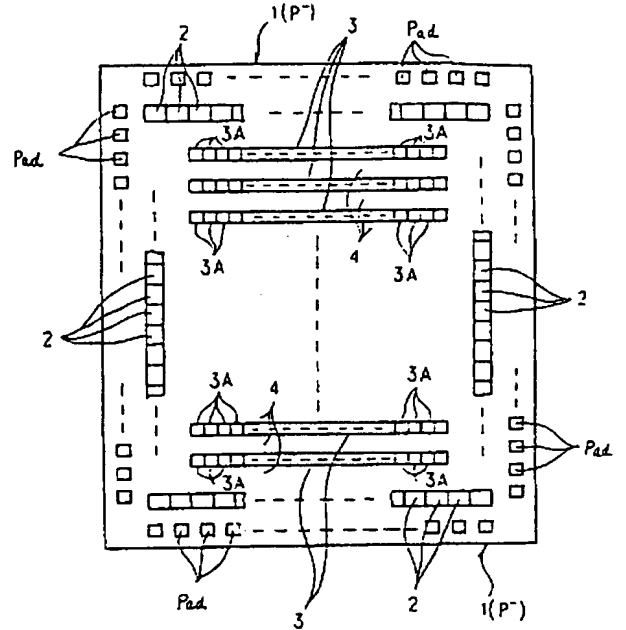
第10図は、本発明の実施例IVにおける集積回路の一部を模式的に示した平面図である。

図中、Pad…ボンディングパッド、D…クロックドライバ、F/F…フリップフロップ回路、1…基板、2…バッファ回路、3…基本セル列、3A…基本セル、4…配線チャンネル、5…バイポーラトランジスタ、6…抵抗素子、7…フィールド絶縁膜、8…チャンネルストッパ、9…埋込み層。

10…コレクタ領域、11…ベース領域、12…エミッタ領域、13…引き出し領域、14…酸化シリコン膜、15…開口、16、23、24…アルミニウム配線、17、18…層間絶縁膜、21…電源配線チャンネル、22…電源回路、23A、24A…クロック信号線。

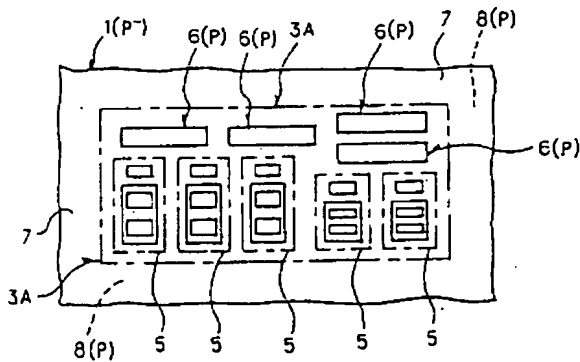
代理人 弁理士 小川勝男

第1図

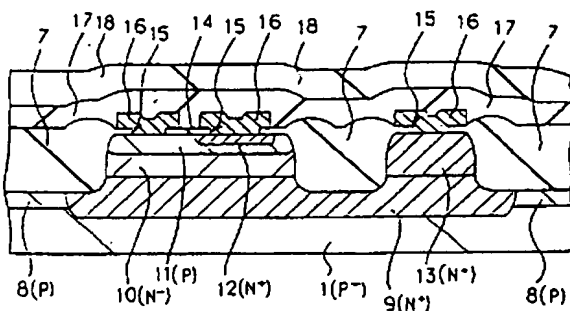


3A…基本セル
4…配線チャンネル
21…電源配線チャンネル
22…電源回路
23, 24…アルミニウム配線
23A, 24A…クロック信号配線
F/F…フリップフロップ回路
D…クロックドライバ

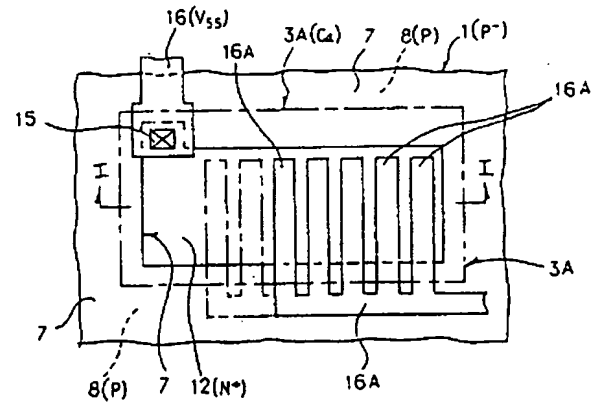
第2図



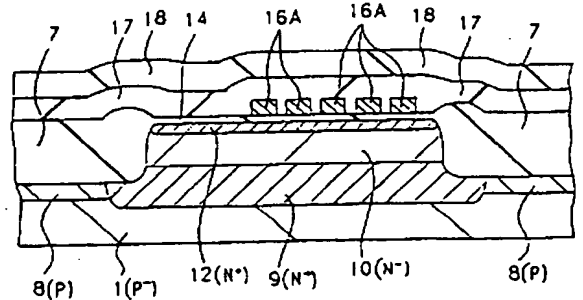
第3図



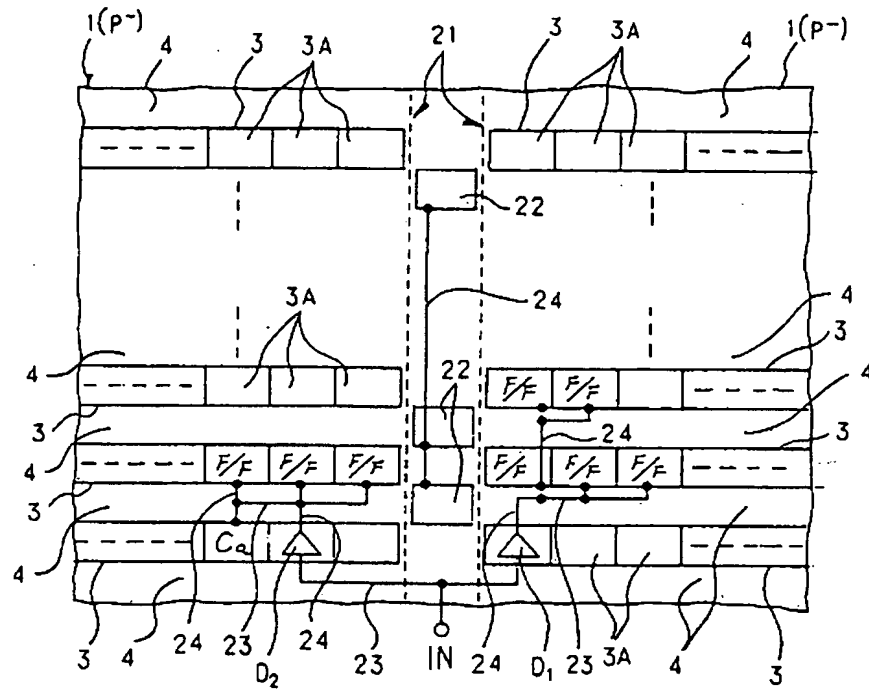
第5図



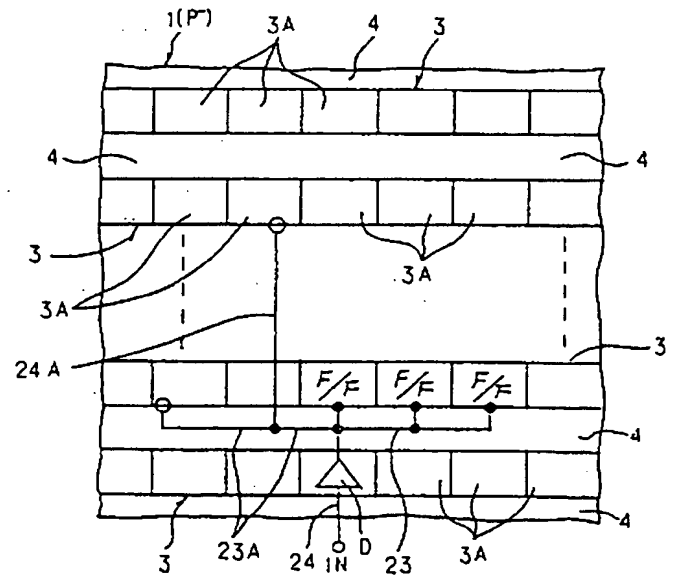
第6図



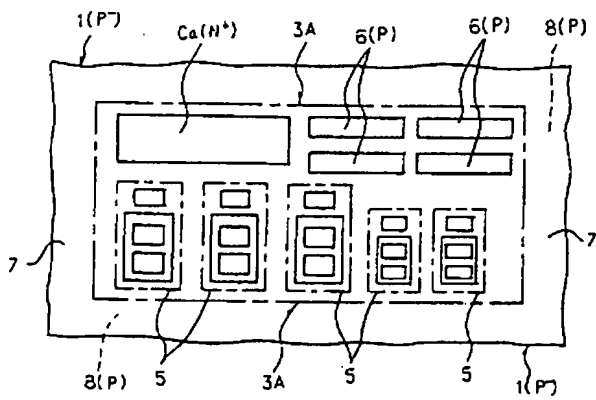
第4図



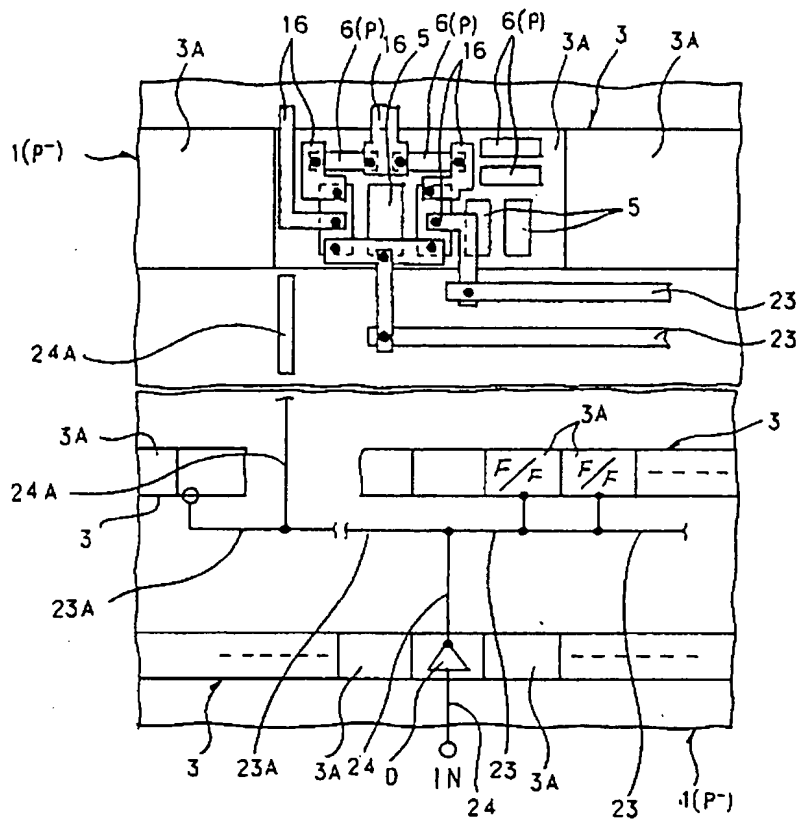
第8図



第7図



第9図



第10図

